



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09045707 A**(43) Date of publication of application: **14.02.97**

(51) Int. Cl.

H01L 21/338
H01L 29/812
H01L 21/28
H01L 21/324
H01L 29/41
H01L 29/778

(21) Application number: **07195361**(22) Date of filing: **31.07.95**(71) Applicant: **SANYO ELECTRIC CO LTD**

(72) Inventor: **FUJII SHIGEYOSHI**
MATSUSHITA SHIGEHARU
TERADA SATOSHI
SAWADA MINORU
HARADA YASOO

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

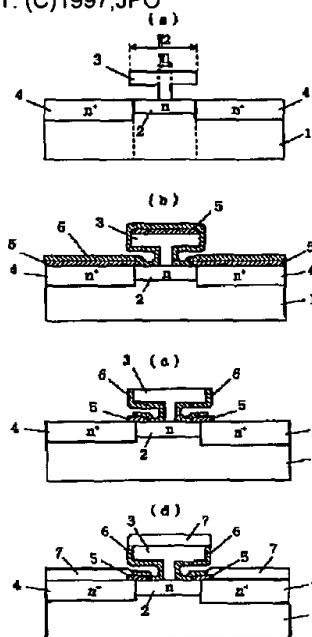
formed.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device such that neither annealing pits nor film peel off is generated in heat treatment and that no deterioration in property due to exposure of the substrate surface is caused, and its manufacturing method.

SOLUTION: After an n-layer 2 is formed on the surface of a GaAs substrate 1, a T-type gate electrode 3 made of refractory metal is formed on the n-layer 2. Using the T-type gate electrode 3 as a mask, an n⁺-layer 4 is formed on the surface of the GaAs substrate 1 by ion implantation. An SiO₂ film 5 is formed on an umbrella part of the T-type gate electrode 3 and on the n⁺-layer 4, and an SiN film 6 is formed on the entire surface of the T-type gate electrode 3 and the SiO₂ film 5. Then, heat treatment is carried out for recovering sputtering loss. The SiO₂ film 5 and the SiN film 6 on the umbrella part of the T-type gate electrode 3 and the n⁺-layer 4 are removed, and an ohmic electrode 7 is



①

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45707

(43) 公開日 平成9年(1997)2月14日

| (51) Int.Cl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|---------|---------------|--------|
| H 0 1 L 21/338 | | 7376-4M | H 0 1 L 29/80 | F |
| 29/812 | | | 21/28 | B |
| 21/28 | | | 21/324 | C |
| 21/324 | | | 29/44 | C |
| 29/41 | | 7376-4M | 29/80 | H |

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平7-195361

(22) 出願日 平成7年(1995)7月31日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 藤井 栄美

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 松下 重治

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 寺田 聡

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 福島 祥人

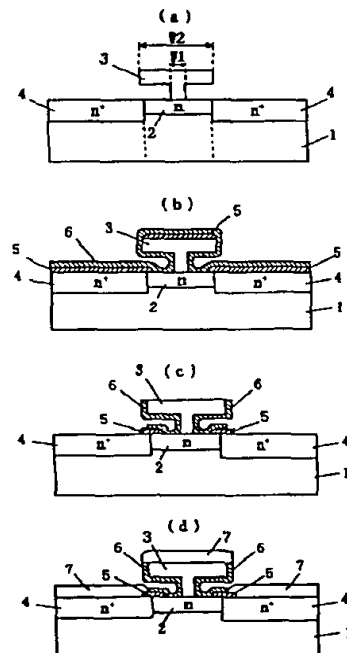
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 熱処理の際にアニールピットおよび膜剥がれが発生せず、かつ基板表面の露出による特性の劣化が生じない半導体装置およびその製造方法を提供することである。

【解決手段】 GaAs基板1の表面にn層2を形成した後、n層2上に高融点金属からなるT型ゲート電極3を形成する。T型ゲート電極3をマスクとしてイオン注入法によりGaAs基板1の表面にn⁺層4を形成する。T型ゲート電極3の傘部上およびn⁺層4上にSiO₂膜5を形成し、T型ゲート電極3およびSiO₂膜5の全面にSiN膜6を形成した後、スパッタ損傷の回復のために熱処理を行う。T型ゲート電極3の傘部上およびn⁺層4上のSiO₂膜5およびSiN膜6を除去し、オーミック電極7を形成する。



【特許請求の範囲】

【請求項1】 半導体層上にT型ゲート電極を形成し、前記T型ゲート電極の上面および前記半導体層上にシリコン酸化膜を形成し、前記シリコン酸化膜上および前記T型ゲート電極上の全面にシリコン窒化膜を形成した後、熱処理を行ない、前記T型ゲート電極の両側のオーミック電極形成用領域における前記シリコン窒化膜および前記シリコン酸化膜を除去し、前記半導体層上の前記オーミック電極形成用領域にオーミック電極を形成することを特徴とする半導体装置の製造方法。

【請求項2】 半導体層上にT型ゲート電極が形成され、前記T型ゲート電極の傘部の縁部下方における前記半導体層上にシリコン酸化膜が存在し、前記シリコン酸化膜と前記T型ゲート電極との間の前記半導体層上に前記シリコン酸化膜上の一部にまたがるようにシリコン窒化膜が形成され、前記T型ゲート電極の両側における前記半導体層上の領域にオーミック電極が形成されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、T型ゲート電極を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】GaAsを用いたMESFET（金属-半導体電界効果型トランジスタ）、HEMT（高電子移動度トランジスタ）等の電界効果型トランジスタにおいて、高融点金属からなる耐熱性T型ゲート電極が用いられている。

【0003】図5は高融点金属からなるT型ゲート電極を有する従来の半導体装置の製造方法を示す工程断面図である。ここでは、一例としてMESFETの製造方法を説明する。

【0004】図5（a）に示すように、半絶縁性GaAs基板31の表面に厚さ0.03 μ mのn層32を形成した後、そのn層32上にスパッタ法によりWSiN/Au等の高融点金属からなるT型ゲート電極33を形成する。T型ゲート電極33の足部の厚さは0.35 μ mであり、傘部の厚さは0.15 μ mである。また、T型ゲート電極33の足部の幅W1は0.7 μ mであり、傘部の幅W2は2 μ mである。さらに、T型ゲート電極33をマスクとしてイオン注入法により半導体基板31の表面に厚さ0.1 μ mのn⁺層34を形成する。

【0005】次に、図5（b）に示すように、T型ゲート電極33、n層32およびn⁺層34の全面にプラズマCVD法（プラズマ化学的気相成長法）により熱処理保護膜として膜厚0.045 μ mのSiN膜35を形成する。この場合、反応ガスとしてSiH₄、NH₃およびN₂を用い、ガス圧を0.75 Torrとする。SiH₄、NH₃およびN₂のガス流量はそれぞれ15 sccm、50 sccmおよび100 sccmとし、高周波

電力は250Wとする。

【0006】その後、T型ゲート電極33の形成の際に生じたスパッタ損傷を回復するために熱処理を行なう。この熱処理としては、700℃で1分間の短時間アニールまたは500℃で30分間の炉アニールを行う。

【0007】次に、図5（c）に示すように、ドライエッチングによりT型ゲート電極33の傘部上およびn⁺層34上のSiN膜35を除去する。次いで、図5

（d）に示すように、T型ゲート電極33の傘部上およびn⁺層34上にAuGe/Ni/Auからなる電極層を形成した後、450℃で2分30秒間の熱処理を施すことによりオーミック電極36を形成する。

【0008】

【発明が解決しようとする課題】上記の従来の半導体装置の製造方法では、T型ゲート電極33の形成時のスパッタ損傷を解消するために、図5（b）の工程で熱処理を行う必要がある。この熱処理によりSiN膜35の応力がT型ゲート電極33の足部の両側に集中する。それにより、図6（a）に示すように、T型ゲート電極33の足部の下方のn層32にアニールピット（溝）が発生することがある。また、SiN膜35は金属に対する密着性が悪いので、図6（b）に示すように、SiN膜35の膜剥がれが生じやすい。その結果、半導体装置の特性が劣化し、歩留りも低下するという問題がある。

【0009】さらに、図5（c）の工程でT型ゲート電極33の傘部上およびn⁺層34上のSiN膜35を除去した場合、T型ゲート電極33の傘部の下方におけるSiN膜35が傘部の縁部よりも内側までエッチングされる。それにより、図5（d）の工程でオーミック電極36を形成したときに、オーミック電極36とT型ゲート電極33の傘部下方のSiN膜35との間に隙間50が生じてGaAsの表面が露出することがある。その場合、隙間50からGaAsのAsが抜け出て半導体装置の特性が劣化するという問題が生じる。

【0010】本発明の目的は、熱処理の際にアニールピットおよび膜剥がれが発生せず、かつ基板表面の露出による特性の劣化が生じない半導体装置およびその製造方法を提供することである。

【0011】

【課題を解決するための手段および発明の効果】本発明に係る半導体装置の製造方法は、半導体層上にT型ゲート電極を形成し、T型ゲート電極の上面および半導体層上にシリコン酸化膜を形成し、シリコン酸化膜上およびT型ゲート電極上の全面にシリコン窒化膜を形成した後、熱処理を行ない、T型ゲート電極の両側のオーミック電極形成用領域におけるシリコン窒化膜およびシリコン酸化膜を除去し、半導体層上のオーミック電極形成用領域にオーミック電極を形成するものである。

【0012】本発明に係る半導体装置の製造方法においては、シリコン酸化膜が金属に対して良好な密着性を有

するので、熱処理の際に膜剥がれが生じない。また、シリコン酸化膜がT型ゲート電極の足部の近傍まで形成され、かつシリコン酸化膜上に良好なステップカバレッジ（段差被覆性）を有するシリコン窒化膜が形成されているので、応力がT型ゲート電極の足部の両側に集中しない。したがって、半導体層にアニールピットが発生することが防止される。その結果、半導体装置の歩留まりが向上する。

【0013】また、オーミック電極形成領域のシリコン窒化膜およびシリコン酸化膜を除去する際に、シリコン酸化膜のエッチング速度がシリコン窒化膜のエッチング速度に比べて遅い。そのため、シリコン酸化膜はT型ゲート電極の傘部の縁部下方の領域まで除去されずに残る。それにより、オーミック電極を形成した際に、オーミック電極とシリコン窒化膜との間の領域の下部にシリコン酸化膜が存在し、半導体層の表面が露出することが防止される。その結果、半導体層中の元素の抜け出しによる特性の劣化が防止される。

【0014】本発明に係る半導体装置は、半導体層上にT型ゲート電極が形成され、T型ゲート電極の傘部の縁部下方における半導体層上にシリコン酸化膜が存在し、シリコン酸化膜とT型ゲート電極との間の半導体層上にシリコン窒化膜の一部にまたがるようにシリコン窒化膜が形成され、T型ゲート電極の両側における半導体層上の領域にオーミック電極が形成されたものである。

【0015】本発明に係る半導体装置においては、シリコン酸化膜がT型ゲート電極の傘部の縁部下方の領域に形成され、その一部にまたがるようにシリコン窒化膜が形成されている。それにより、オーミック電極とシリコン窒化膜との間の領域の下部にシリコン酸化膜が存在し、半導体層の表面が露出することが防止される。その結果、半導体層中の元素の抜け出しによる特性の劣化が防止される。

【0016】

【発明の実施の形態】以下、本発明の実施例を図面を参照しながら詳細に説明する。図1は本発明の第1の実施例によるGaAs-MESFETの製造方法を示す工程断面図である。

【0017】まず、図1(a)に示すように、半絶縁性GaAs基板1の表面に厚さ0.03 μ mのn層2を形成した後、そのn層2上に、スパッタ法等によりWSiN/Au等の高融点金属からなるT型ゲート電極3を形成する。T型ゲート電極3の足部の厚さは0.35 μ mであり、傘部の厚さは0.15 μ mである。また、T型ゲート電極3の足部の幅W1は0.7 μ mであり、傘部の幅W2は2 μ mである。さらに、T型ゲート電極3をマスクとしてイオン注入法によりGaAs基板1の表面に厚さ0.1 μ mのn⁺層4を形成する。なお、T型ゲート電極3の材料として、W、WN、WSiNおよびWSiのいずれか、これらのいずれかの積層構造、または

これらのいずれかとAuとの積層構造を用いてもよい。

【0018】次に、図1(b)に示すように、T型ゲート電極3の傘部上およびn⁺層4上にプラズマCVD法により膜厚0.05 μ mのSiO₂膜5を形成する。この場合、反応ガスとしてSiH₄、およびN₂Oを用い、ガス圧を0.30 Torrとする。SiH₄、およびN₂Oのガス流量はそれぞれ10 sccmおよび100 sccmとし、高周波電力は150 Wとする。

【0019】さらに、T型ゲート電極3およびSiO₂膜5の全面に、プラズマCVD法により膜厚0.05 μ mのSiN膜6を形成する。この場合、反応ガスとしてSiH₄、NH₃、およびN₂を用い、ガス圧を0.75 Torrとする。SiH₄、NH₃、およびN₂のガス流量はそれぞれ15 sccm、200 sccmおよび100 sccmとし、高周波電力は250 Wとする。

【0020】その後、T型ゲート電極3の形成時に発生したスパッタ等による損傷を回復するために熱処理を行なう。熱処理としては、700 $^{\circ}$ Cで1分間の短時間アニールまたは500 $^{\circ}$ Cで30分間の炉アニールを行なう。

【0021】次に、図1(c)に示すように、ドライエッチングによりT型ゲート電極3の傘部上およびn⁺層4上のSiO₂膜5およびSiN膜6を除去する。この場合、反応ガスとしてCF₄を用い、ガス圧を0.10 Torrとし、ガス流量を20 sccmとする。高周波電力は150 Wとする。

【0022】次いで、図1(d)に示すように、T型ゲート電極3上およびn⁺層4上にAuGe/Ni/Auからなる電極層を形成し、H₂雰囲気中において450 $^{\circ}$ Cで2分30秒間の熱処理を行うことによりオーミック電極7を形成する。

【0023】本実施例のMESFETにおいては、SiO₂膜5が金属に対して良好な密着性を有するので、図1(b)の工程での熱処理により膜剥がれが生じない。また、T型ゲート電極3の足部の両側の近傍までn層2がSiO₂膜5で被覆され、その上から良好なステップカバレッジを有するSiN膜6で被覆されているので、応力がT型ゲート電極6の足部の両側に集中しない。したがって、アニールピットの発生が防止される。

【0024】さらに、図1(c)の工程でSiO₂膜5およびSiN膜6を除去する際に、SiO₂膜5のエッチング速度がSiN膜6のエッチング速度に比べて遅い。そのため、図2に示すように、SiO₂膜5はT型ゲート電極3の傘部の縁部下まで除去されずに残る。それにより、オーミック電極7を形成した際に、オーミック電極7とSiN膜6との間の領域の下部にSiO₂膜5が存在し、GaAsの表面が露出することが防止される。その結果、GaAs中のAsの抜け出しによる特性の劣化が防止される。

【0025】図3は本発明の第2の実施例によるGaAs-HEMTの構造を示す断面図である。図3におい

て、GaAs基板11上に、膜厚0.8 μ mのアンドープのGaAs層12、膜厚0.005 μ mのアンドープのAlGaAs層13、膜厚0.025 μ mのn-AlGaAs層14、および膜厚0.01 μ mのn-GaAs層15が順に形成されている。n-AlGaAs層14のキャリア濃度は $2 \times 10^{18} \text{ cm}^{-3}$ であり、n-GaAs層15のキャリア濃度は $5 \times 10^{17} \text{ cm}^{-3}$ である。

【0026】n-GaAs層15上には第1の実施例と同じ構造を有するT型ゲート電極3が同じ方法で形成されている。T型ゲート電極3の両側の各層にはイオン注入法により高濃度領域16が形成されている。

【0027】T型ゲート電極3の傘部の下方の領域には、第1の実施例と同様に、SiO₂膜5およびSiN膜6の2層構造が形成されている。また、T型ゲート電極3の両側のn-GaAs層15上には、オーミック電極7が形成されている。

【0028】本実施例のGaAs HEMTにおいても、第1の実施例のMESFETと同様に、熱処理の際に膜剥がれおよびアニールピットの発生が防止されるとともに、GaAs表面の露出による特性の劣化が防止される。

【0029】図4は本発明の第3の実施例によるInP系HEMTの構造を示す断面図である。図4において、InP基板21上に、膜厚0.8 μ mのアンドープのInGaAs層22、膜厚0.2 μ mのアンドープのInAlAs層23、および膜厚0.02 μ mのアンドープのInGaAs層24が順に形成されている。InGaAs層24上には、膜厚0.02 μ mのn-InAlAs層25、膜厚0.015 μ mのアンドープのInAlAs層26、および膜厚0.005 μ mのアンドープのGaAs層27が順に形成されている。n-InAlAs層24のキャリア濃度は $4 \times 10^{18} \text{ cm}^{-3}$ である。

【0030】GaAs層27上には、第1の実施例と同様の構造を有するT型ゲート電極3が同じ方法で形成されている。T型ゲート電極3の両側の各層にはイオン注*

*入法により高濃度領域28が形成されている。

【0031】T型ゲート電極3の傘部の下方の領域には、第1の実施例と同様に、SiO₂膜5およびSiN膜6の2層構造が形成されている。また、T型ゲート電極3の両側のGaAs層27上には、オーミック電極7が形成されている。

【0032】本実施例のInP系HEMTにおいても、第1の実施例と同様に、熱処理の際に膜剥がれおよびアニールピットの発生が防止されるとともに、GaAs表面の露出による特性の劣化が防止される。

【0033】なお、本発明は上記実施例に限らず、T型ゲート電極を有する種々の半導体装置に適用することができる。例えば、本発明をIEEE ELECTRON DEVICE LETTERS, VOL. 14, NO.7, JULY 1993, pp.354-356 に報告されているTMT (Two-Mode channel FET) に適用してもよい。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるGaAs-MESFETの製造方法を示す工程断面図である。

【図2】図1の半導体装置のT型ゲート電極の拡大図である。

【図3】本発明の第2の実施例によるGaAs-HEMTの構造を示す断面図である。

【図4】本発明の第3の実施例によるInP系HEMTの構造を示す断面図である。

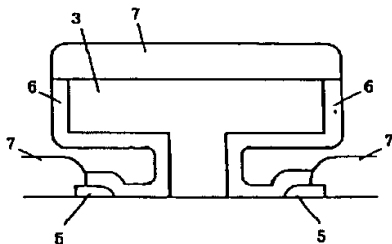
【図5】従来の半導体装置の製造方法を示す工程断面図である。

【図6】従来の半導体装置の問題点を説明するための図である。

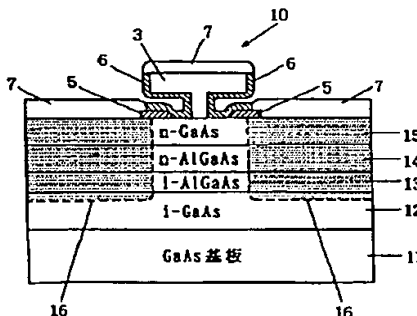
【符号の説明】

- 1 GaAs基板
- 3 T型ゲート電極
- 5 SiO₂膜
- 6 SiN膜
- 7 オーミック電極

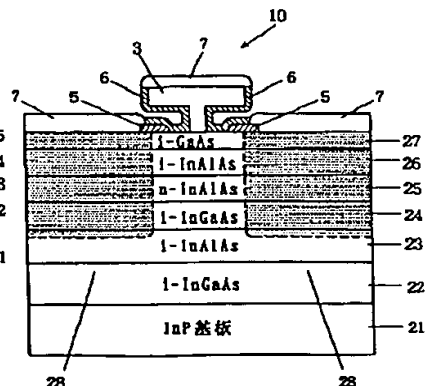
【図2】



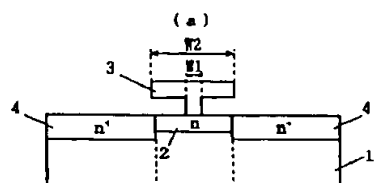
【図3】



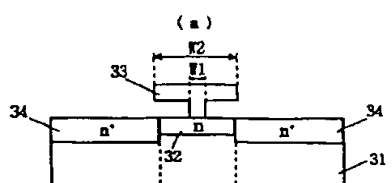
【図4】



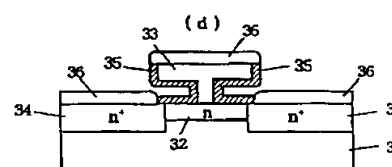
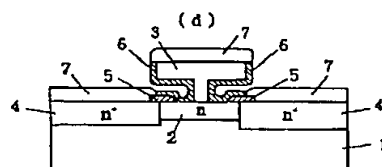
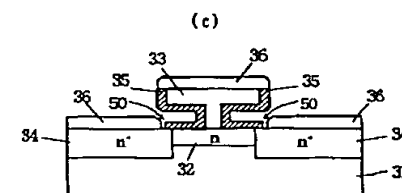
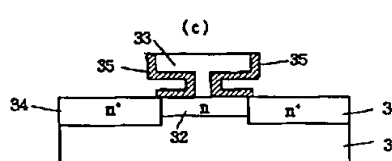
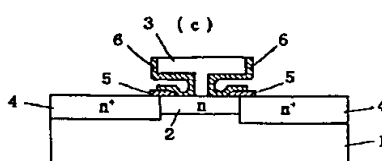
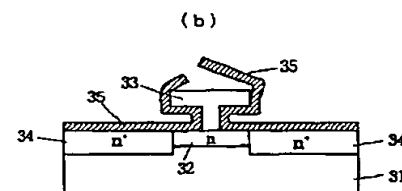
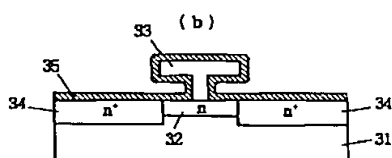
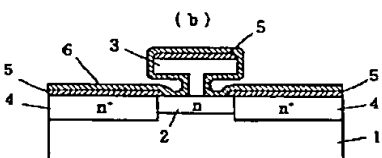
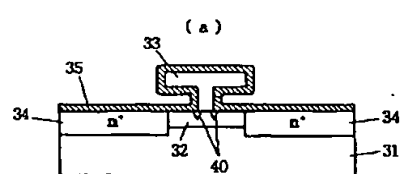
【図1】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁴

H01L 29/778

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 澤田 稔

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 原田 八十雄

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内